

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-30278

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/028		A 9070-5C		
G 1 1 C 19/28		Z 2116-5L		
27/04	1 0 2	B 7323-5L		
H 0 1 L 27/146		8223-4M	H 0 1 L 27/ 14	C

審査請求 未請求 請求項の数30(全 24 頁) 最終頁に続く

(21)出願番号 特願平3-180754

(22)出願日 平成3年(1991)7月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 永田 達也

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 清水 浩也

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 栗原 啓輔

神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

(74)代理人 弁理士 高田 幸彦

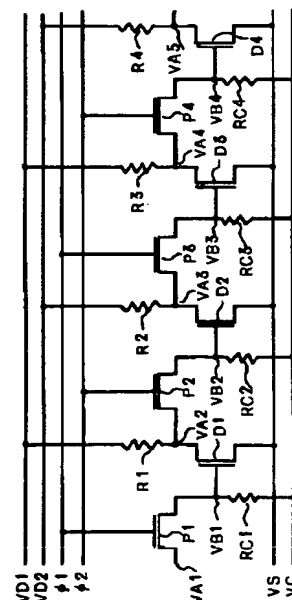
(54)【発明の名称】 画像読み取り装置、ラインイメージセンサ及びシフトレジスタ

(57)【要約】

【目的】非晶質シリコン薄膜トランジスタは電圧を加えると閾値電圧が変動するため、常に正の電圧の加わる論理回路では使用が困難だった。本発明の目的は閾値電圧の変動を抑えた信頼性の高い回路、ラインイメージセンサ、画像読み取り装置及びこれらの動作方法を提供することにある。

【構成】負荷抵抗R1と駆動トランジスタD1によりインバータを形成し、インバータの入力にパストランジスタP1、及び大きな抵抗値を持つ制御抵抗RC1を接続した回路からなるラインイメージセンサ、画像読み取り装置とする。回路の休止時に制御抵抗と、電源、入力、クロック、グランド各線の電圧を所定の電圧として、非晶質シリコン薄膜トランジスタで形成した駆動トランジスタD1とパストランジスタP1のゲートに負の電圧を加えトランジスタの閾値電圧を回復する。

E/Rダイナミックシフトレジスタの回路図(図1)



1

【特許請求の範囲】

【請求項1】シフトレジスタ、バッファ及び転送スイッチにより光電変換素子の光電変換出力を外部回路に転送するラインイメージセンサを制御系と共に筐体に納めたものであって、前記シフトレジスタが閾値電圧変動のあるトランジスタを具備したものである画像読み取り装置において、ラインイメージセンサの動作時間を検出及び記憶する手段と、該手段により検出したラインイメージセンサの動作時間に対応して変動した前記トランジスタの閾値電圧を回復する信号を原稿の読み取り休止時に発生する手段と、電源を入力し前記制御系からの制御信号により電源電圧を変化させるものであってラインイメージセンサの動作時と休止時に異なる電圧を発生させる電源駆動回路とを具備した画像読み取り装置。

【請求項2】インバータと、該インバータの入力に接続したパストランジスタとを備えた回路を複数個連続して形成したラインイメージセンサを制御系と共に筐体に納めたものであって、前記インバータは負荷抵抗と、該負荷抵抗と接続した閾値電圧変動のある駆動トランジスタを具備したものである画像読み取り装置において、前記インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を制御し、前記複数個連続した回路内の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、前記各インバータにグラウンド線を接続し、前記奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とする画像読み取り装置。

【請求項3】インバータと、該インバータの入力に接続したパストランジスタとを備えた回路を複数個連続して形成したラインイメージセンサを制御系と共に筐体に納めたものであって、前記インバータは閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタを具備したものである画像読み取り装置において、前記インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグラウンド線を接続し、前記複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とする画像読み取り装置。

【請求項4】閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ若しくは多結晶シリコン薄膜トランジスタであることを特徴とする請求項1、2、3のいずれかに記載の画像読み取り装置。

【請求項5】ラインイメージセンサを構成する回路の動作時には電源線に電源電圧を加えグラウンド線にはグラウンド電圧を加え、回路の休止時には回路を構成する閾値電

2

圧変動のあるトランジスタのゲート・ソースに負の電圧を加えるように電源線、グラウンド線、制御線に電圧を加えることを特徴とする画像読み取り装置の動作方法。

【請求項6】負荷抵抗と、該負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成しそのソースにグラウンド線を接続した駆動トランジスタとから成るインバータと、該インバータの入力に接続したパストランジスタとを備えた回路を複数個連続して形成したラインイメージセンサを具備する画像読み取り装置の動作方法において、前記複数個連続した回路の奇数位置の回路と偶数位置の回路の負荷抵抗に異なる電源線を接続し、前記複数個連続した回路の動作時には前記複数の電源線に電源電圧を加えると共にグラウンド線にはグラウンド電圧を加え、回路休止時には複数の電源線、グラウンド線に前記複数個連続した回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えることを特徴とする画像読み取り装置の動作方法。

【請求項7】インバータと、該インバータの入力に接続したパストランジスタとを備えた回路を複数個連続して形成したラインイメージセンサを制御系と共に筐体に納めたものであって、前記インバータは閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタを具備したものである画像読み取り装置の動作方法において、前記負荷トランジスタのゲート及びドレインに異なる電源線を接続し駆動トランジスタのソースにグラウンド線を接続し、前記複数個連続した回路の動作時には前記異なる電源線に電源電圧を加え、回路の休止時には電源線、グラウンド線に前記回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えることを特徴とする画像読み取り装置の動作方法。

【請求項8】閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ或いは多結晶シリコン薄膜トランジスタであることを特徴とする請求項5、6、7のいずれかに記載の画像読み取り装置の動作方法。

【請求項9】インバータと、該インバータの入力に接続したパストランジスタとを備えて成る回路を複数個連続して形成したものであり、前記インバータは負荷抵抗と、該負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとを備えたものであるシフトレジスタを具備したラインイメージセンサにおいて、前記インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記複数個連続した回路内の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、前記各インバータにグラウンド線を接続し、前記奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とするラインイメージセンサ。

3

【請求項 10】インバータと、該インバータの入力に接続したパストランジスタとを備えてなる回路を複数個連続して形成したものであり、前記インバータは閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタとを備えたものであるシフトレジスタを具備したラインイメージセンサにおいて、前記インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグランド線を接続し、前記複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とするラインイメージセンサ。

【請求項 11】閾値電圧変動のあるトランジスタから成るシフトレジスタ、バッファ、転送スイッチ、光電変換素子及び信号マトリックスを形成した基板と、電源及び制御系を備え、光電変換素子の光電変換出力を外部回路に転送するラインイメージセンサにおいて、電源を入力し前記制御系からの制御信号により電源電圧を変化させるものであって、センサの動作時と休止時とで異なる電圧を発生させる電源駆動回路を具備することを特徴とするラインイメージセンサ。

【請求項 12】閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ或いは多結晶シリコン薄膜トランジスタであることを特徴とする請求項 9、10、11 のいずれかに記載のラインイメージセンサ。

【請求項 13】インバータを備えた回路を複数個連続して形成したシフトレジスタを具備したものであり、前記インバータが閾値電圧変動のあるトランジスタからなるラインイメージセンサの動作方法において、前記回路の動作期間に変動したトランジスタの閾値電圧を回復させるに際し、前記回路の動作休止期間に、閾値電圧が変動した極性と逆極性の電圧を前記トランジスタのゲート・ソース及びゲート・ドレインに加えることを特徴とするラインイメージセンサの動作方法。

【請求項 14】インバータを備えた回路を複数個連続して形成したシフトレジスタを具備したものであり、前記インバータが閾値電圧変動のあるトランジスタからなるラインイメージセンサの動作方法において、前記回路の動作期間に変動したトランジスタの閾値電圧を回復させるに際し、トランジスタのゲート・ソース電圧に正の電圧が加わった時間に応じて閾値電圧が変動した極性と逆極性の電圧をゲート・ソース及びゲート・ドレインに前記回路の動作休止期間に加えて回復させることを特徴とするラインイメージセンサの動作方法。

【請求項 15】閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ若しくは多結晶シリコン薄膜トランジスタであることを特徴とする請求項 13、14 のいずれかに記載のラインイメージセンサの動作方

4

法。

【請求項 16】負荷抵抗と該負荷抵抗に接続した閾値電圧変動のある駆動トランジスタとで構成したインバータと、該インバータの入力に接続したパストランジスタとを具備してなる回路を複数個連続して備えたシフトレジスタにおいて、前記インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記複数個連続した回路内の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、前記インバータにグランド線を接続し、前記奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とするシフトレジスタ。

【請求項 17】閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、該インバータの入力に接続したパストランジスタとを具備してなる回路を複数個連続して形成したシフトレジスタにおいて、前記インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグランド線を接続し、前記複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続してなることを特徴とするシフトレジスタ。

【請求項 18】閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ或いは多結晶シリコン薄膜トランジスタであることを特徴とする請求項 16、17 のいずれかに記載のシフトレジスタ。

【請求項 19】シフトレジスタの動作時には電源線に電源電圧を加えグランド線にグランド電圧を加え、シフトレジスタの休止時にはシフトレジスタを構成する閾値電圧変動のあるトランジスタのゲート・ソースに負の電圧を加えるように電源線、グランド線、制御線に電圧を加えることを特徴とするシフトレジスタの動作方法。

【請求項 20】負荷抵抗と該負荷抵抗に接続した閾値電圧変動のある駆動トランジスタとで構成したインバータと、該インバータの入力に接続したパストランジスタとを具備してなる回路を複数個連続して形成したシフトレジスタの動作方法において、前記インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記複数個連続した回路の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、前記インバータにグランド線を接続し、前記奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続し、前記シフトレジスタの動作時には複数の電源線に電源電圧を加えると共にグランド線にはグランド電圧を加え、シフトレジスタの休止時には複数の電源線、グラ

5

ンド線に前記回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えることを特徴とするシフトレジスタの動作方法。

【請求項21】 閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、該インバータの入力に接続したバストラジスタとを具備してなる回路を複数個連続して形成したシフトレジスタの動作方法において、前記インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し駆動トランジスタのソースにグランド線を接続し、前記シフトレジスタの動作時には複数の電源線に電源電圧を加え、グランド線にはグランド電圧を加え、シフトレジスタの休止時には複数の電源線、グランド線に前記回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えることを特徴とするシフトレジスタの動作方法。

【請求項22】 閾値電圧変動のあるトランジスタを備えたシフトレジスタの動作期間に変動したトランジスタの閾値電圧を、該閾値電圧が変動した極性と逆極性の電圧をトランジスタのゲート・ソース及びゲート・ドレインに前記シフトレジスタの休止期間に加えて回復させることを特徴とするシフトレジスタの動作方法。

【請求項23】 閾値電圧変動のあるトランジスタを備えたシフトレジスタの動作期間に変動したトランジスタの閾値電圧を、前記トランジスタのゲート・ソース電圧に正の電圧が加わった時間に応じて、該閾値電圧が変動した極性と逆極性の電圧をトランジスタのゲート・ソース及びゲート・ドレインに前記シフトレジスタの休止期間に加えて回復させることを特徴とするシフトレジスタの動作方法。

【請求項24】 閾値電圧変動のあるトランジスタが非晶質シリコン薄膜トランジスタ或いは多結晶シリコン薄膜トランジスタであることを特徴とする請求項19、20、21、22、23のいずれかに記載のシフトレジスタの動作方法。

【請求項25】 制御抵抗が負荷抵抗の10倍以上大きな抵抗値を持つことを特徴とする請求項2に記載の画像読み取り装置。

【請求項26】 制御抵抗が負荷トランジスタのオン抵抗の10倍以上大きな抵抗値を持つことを特徴とする請求項3に記載の画像読み取り装置。

【請求項27】 制御抵抗が負荷抵抗の10倍以上大きな抵抗値を持つことを特徴とする請求項9に記載のラインイメージセンサ。

【請求項28】 制御抵抗が負荷トランジスタのオン抵抗の10倍以上大きな抵抗値を持つことを特徴とする請求項10に記載のラインイメージセンサ。

【請求項29】 制御抵抗が負荷抵抗の10倍以上大きな

6

抵抗値を持つことを特徴とする請求項16に記載のシフトレジスタ。

【請求項30】 制御抵抗が負荷トランジスタのオン抵抗の10倍以上大きな抵抗値を持つことを特徴とする請求項17に記載のシフトレジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は非晶質シリコン（以下a-Siと略す）やレーザアニール法によって形成した多結晶シリコン（以下p-Siと略す）よりなる薄膜トランジスタの閾値電圧の変動を修正し特性回復を図る機能を付加した回路からなるダイナミックシフトレジスタ、スタティックシフトレジスタ及びこれらのシフトレジスタを用いたラインイメージセンサ及び画像読み取り装置に関する。

【0002】

【従来の技術】 画像読み取り装置用ラインイメージセンサに用いられている論理回路を含むダイナミック回路及びスタティック回路には、閾値電圧変動のある薄膜トランジスタが用いられている。

【0003】 a-Si薄膜トランジスタを用いた論理回路には例えば特開昭61-15363号公報に記載のシフトレジスタ回路がある。この従来技術にあるように、論理回路ではインバータが基本要素と成っており、このインバータを多段に組み合わせてシフトレジスタを構成する。各インバータの出力は次段のインバータの入力になる。インバータの出力電圧は電源電圧の範囲にあるためインバータの入力電圧は常に0V以上となる。

【0004】 また、a-Si薄膜トランジスタを用いたイメージセンサについては日経エレクトロニクスのn o. 434（1987年11月16日）の第207頁から第221頁において論じられている。この従来技術ではa-Si薄膜トランジスタはスイッチとして使用されており論理回路を含んでいない。

【0005】 また、a-Si薄膜トランジスタを用いた液晶ディスプレイではa-Si薄膜トランジスタはスイッチとして用いられている他に駆動回路として用いられている。この従来技術については第6回ディスプレイリサーチカンファレンス、ジャパンディスプレイ'86プロシーディング（1986年）の第212頁から第215頁に論じられている。

【0006】

【発明が解決しようとする課題】 a-Si薄膜トランジスタやp-Si薄膜トランジスタはエンハンスメント型の電界効果トランジスタを構成できるが、材料や製造プロセスに依存する材料の物性に起因する閾値電圧ドリフトと呼ばれる閾値電圧の変化現象をもっている。

【0007】 即ち、ゲート・ソース電圧を加えると閾値電圧が、正のゲート・ソース電圧では正に、負の場合には負に変動する。従って、常に0V以上のゲート・ソー

7

ス電圧の加わる論理回路では、 $a-Si$ 薄膜トランジスタの閾値電圧は正にドリフトし、長時間の回路動作を行うとドリフトが大きくなりついには動作しなくなる場合がある。

【0008】材料の改善により、この閾値電圧のドリフトはある程度低減できるが、回路を形成する非晶質シリコンの物性の不安定さ及びチャンネルのできるゲート絶縁膜と $a-Si$ との界面の不安定さがあり、根本的に無くすることは難しい。そのため、回路上で閾値電圧ドリフトを低減する工夫が必要である。

【0009】上記従来技術は、 $a-Si$ 薄膜トランジスタをスイッチとして用いる場合を除き、論理回路に用いるときにこの閾値電圧ドリフトを回路上防止する点には配慮されておらず、長時間の回路動作では閾値電圧が変動して回路が動かなくなる問題があり、結果として前記トランジスタを用いてラインイメージセンサ、及びこのラインイメージセンサを搭載した画像読み取り装置が不具合となる場合があった。

【0010】本発明は $a-Si$ 薄膜トランジスタや $p-Si$ 薄膜トランジスタを用いた回路の閾値電圧ドリフトを低減して長時間の回路動作の信頼性を向上するシフトレジスタ、及びこのシフトレジスタを用いた信頼性の高く、小型化が可能なラインイメージセンサ、及びこのラインイメージセンサを用いた画像読み取り装置と、これらのシフトレジスタ、ラインイメージセンサ、画像読み取り装置の動作方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、発明者は薄膜トランジスタの閾値電圧のドリフト補正を、薄膜トランジスタを備える回路の動作休止期間に行うことにより、閾値電圧を安定化させて回路の長時間動作の信頼性を向上させ得ることに気づき、本発明の薄膜トランジスタの閾値電圧のドリフト補正手段を付加したシフトレジスタ、このシフトレジスタを用いたラインイメージセンサ、このラインイメージセンサを用いた画像読み取り装置及びこれらの動作方法を発明した。

【0012】画像読み取り装置に対しては、以下の手段を備える。

【0013】画像読み取り装置が光電変換素子、シフトレジスタ、バッファ、転送スイッチ等を備え、光電変換素子の光電変換出力を外部回路に転送するラインイメージセンサを制御系と共に筐体に納め、シフトレジスタが閾値電圧変動のあるトランジスタを備えるもので構成されているものに対しては、ラインイメージセンサの動作時と、動作休止時に電源電圧を変化させる電源駆動回路と、ラインイメージセンサの動作時間を検出及び記憶する手段と、原稿の読み取り休止時にラインイメージセンサの動作時間に対応したトランジスタの閾値電圧回復信号を発生する手段を備える。

【0014】画像読み取り装置が負荷抵抗と、この負荷

8

抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したパストランジスタとを備えた回路を複数個連続して具備したラインイメージセンサを制御系と共に筐体に納めたもので構成されているものに対しては、インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、複数個連続した回路の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、インバータにグラウンド線を接続し、奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0015】画像読み取り装置が閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、このインバータの入力に接続したパストランジスタとを備えた回路を複数個連続して具備したラインイメージセンサを制御系と共に筐体に納めたもので構成されているものに対しては、インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグラウンド線を接続し、複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0016】画像読み取り装置の動作方法としては、画像読み取り装置に用いるラインイメージセンサを構成するシフトレジスタの動作時には、電源線に電源電圧を加え、グラウンド線にはグラウンド電圧を加え、シフトレジスタの動作休止時にはシフトレジスタを構成する閾値電圧変動のあるトランジスタのゲート・ソースに負の電圧を加えるように電源線、グラウンド線、制御線に電圧を加えるものである。

【0017】また、負荷抵抗と、この負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したパストランジスタとから成る回路を複数個連続して具備したラインイメージセンサを備えた画像読み取り装置の動作方法として、複数個連続した回路の奇数位置の回路と偶数位置の回路の負荷抵抗に異なる電源線を接続し、駆動トランジスタのソースにグラウンド線を接続するラインイメージセンサの回路動作時には複数の電源線に電源電圧を加え、グラウンド線にはグラウンド電圧を加え、回路動作休止時には複数の電源線及びグラウンド線に、回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えるものである。

【0018】また、閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成し

9

たインバータと、該インバータの入力に接続したパストランジスタよりなる回路を複数個連続して形成したラインイメージセンサを制御系と共に筐体に納めた画像読み取り装置の動作方法として、複数個連続した回路の負荷トランジスタのゲート及びドレインに異なる電源線を接続し駆動トランジスタのソースにグランド線を接続し、回路の動作時には異なる電源線に電源電圧を加え、グランド線にはグランド電圧を加え、回路の休止時には複数の電源線、グランド線に、回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えるものである。

【0019】ラインイメージセンサに対しては、ラインイメージセンサが負荷抵抗と、この負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したパストランジスタとを備えて成る回路を複数個連続して具備したシフトレジスタで構成されているもの場合、インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、前記複数個連続した回路の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、前記各インバータにグランド線を接続し、前記奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0020】また、ラインイメージセンサが閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、このインバータの入力に接続したパストランジスタとを備えて成る回路を複数個連続して具備したシフトレジスタで構成されているものに対しては、インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグランド線を接続し、複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0021】また、ラインイメージセンサが閾値電圧変動のあるトランジスタから成るシフトレジスタで構成されているものに対しては、ラインイメージセンサの動作時と休止時に電源電圧を変化させる電源駆動回路を備える。

【0022】ラインイメージセンサの動作方法としては、閾値電圧変動のあるトランジスタを用いたインバータを備えた回路を複数個連続したシフトレジスタを具備したラインイメージセンサに対しては、シフトレジスタの動作期間に変動したトランジスタの閾値電圧を、この閾値電圧が変動した極性と逆極性の電圧をゲート・ソース及びゲート・ドレインにシフトレジスタの動作休止期

10

間に加えるか、又はシフトレジスタの動作期間に変動したトランジスタのゲート・ソース電圧に正の電圧が加わった時間に応じてトランジスタの閾値電圧が変動した極性と逆極性の電圧をゲート・ソース及びゲート・ドレインにシフトレジスタの動作休止期間に加えるようにする。

【0023】シフトレジスタに対してはシフトレジスタが負荷抵抗と、この負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したパストランジスタとを備えた回路を複数個連続して具備して構成されているものについては、インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、複数個連続した回路の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、インバータにグランド線を接続し、奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0024】また、回路が閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、このインバータの入力に接続したパストランジスタとを備えた回路を複数個連続して具備して構成されているものについては、インバータの入力及び出力に負荷トランジスタのオン抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し、インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグランド線を接続し、複数個連続した回路の奇数位置の回路のパストランジスタと偶数位置の回路のパストランジスタのゲートに異なるクロック線を接続する手段を備える。

【0025】シフトレジスタの動作方法としては、動作時には電源線に電源電圧を加え、グランド線にはグランド電圧を加え、動作休止時にはシフトレジスタを構成する閾値電圧変動のあるトランジスタのゲート・ソースに負の電圧を加えるように電源線、グランド線、制御線に電圧を加えるものである。

【0026】また、負荷抵抗と、この負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したパストランジスタとから成る回路を複数個連続して具備したシフトレジスタに対しては、インバータの入力に負荷抵抗よりも大きな抵抗値を持つ制御抵抗を介して制御線を接続し複数個連続した回路の奇数位置の回路と偶数位置の回路の負荷抵抗に異なる電源線を接続し、インバータにグランド線を接続し、シフトレジスタの動作時には複数の電源線に電源電圧を加え、グランド線にはグランド電圧を加え、シフトレジスタ休止時には複数の電源線及びグランド線に、シフトレジスタを構成するトランジスタのゲート・ソース及びゲート・ドレ

11

インに負の電圧を加えるようなシーケンスで電圧を加えるものである。

【0027】また、閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、このインバータの入力に接続したパストランジスタよりなる回路を複数個連続して具備したシフトレジスタに対しては、複数個連続した回路の負荷トランジスタのゲート及びドレインに異なる電源線を接続し駆動トランジスタのソースにグランド線を接続し、シフトレジスタの動作時には異なる電源線に電源電圧を加え、グランド線にはグランド電圧を加え、シフトレジスタの休止時には複数の電源線、グランド線に、回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えるものである。

【0028】また、シフトレジスタの動作期間に変動したトランジスタの閾値電圧を、この閾値電圧が変動した極性と逆極性の電圧をゲート・ソース及びゲート・ドレインにシフトレジスタの動作休止期間に加えるか、又はシフトレジスタの動作期間に変動したトランジスタのゲート・ソース電圧に正の電圧が加わった時間に依じてトランジスタの閾値電圧が変動した極性と逆極性の電圧をゲート・ソース及びゲート・ドレインにシフトレジスタの動作休止期間に加えるようにする。

【0029】また、上記各手段に用いる閾値電圧変動のあるトランジスタは非晶質シリコントランジスタ或は多結晶シリコントランジスタを用いるものである。

【0030】さらにシフトレジスタ、ラインイメージセンサ、画像読み取り装置に用いる制御抵抗が負荷抵抗、又は負荷トランジスタのオン抵抗の10倍以上大きな抵抗値とする手段を備える。

【0031】

【作用】従来の論理回路を含むダイナミック回路やスタティック回路は、電源やグランドの電位は一定であり、常に動作する状態を想定するのが通例である。しかし、ファクシミリ装置、複写機、イメージスキャナ等の画像読み取り装置に用いられるラインイメージセンサは常に動作している訳ではなく、通常は動作している場合でもその動作時間は短く、動作していない休止時間の方が長い。

【0032】本発明の基本的な作用は、所定の回路動作をしている期間に変動した $a-Si$ 薄膜トランジスタや $p-Si$ 薄膜トランジスタのように閾値電圧変動のあるトランジスタの閾値電圧を、回路が休止している期間に電源電圧やその他の入力電圧を適当なシーケンスで、回路動作をしている状態から変化させることによって、元の閾値電圧に戻すことによりこのような回路を備えたシフトレジスタ、ラインイメージセンサ、及びこのラインイメージセンサを用いた画像読み取り装置の長期信頼性を確保するものである。

12

【0033】以下に、前記課題解決のための手段として重要な回路構成及び回路の動作方法を中心にその作用につき説明する。

【0034】負荷抵抗と、この負荷抵抗と接続した $a-Si$ 薄膜トランジスタとから成るインバータ(E/R インバータと略す)は、インバータの入力が論理1、0に対応する V_H 、 V_L の入力電圧に対して逆の論理0、1に対応する V_L 、 V_H の電圧を出力する。このインバータの入力に接続した $a-Si$ 薄膜トランジスタで構成したパストランジスタは、入力信号の導通、非導通を制御するスイッチとしての機能をもつ。前記インバータとパストランジスタとの基本要素を組み合わせでダイナミック論理回路やスタティック論理回路を構成することができる。

【0035】パストランジスタのゲートには通常ダイナミック動作のタイミングを決めるクロックが接続される。このクロックは外部回路より供給するのでパストランジスタのゲートは外部回路から直接に電圧を制御することが可能である。それ故、パストランジスタのゲートには外部より負の電圧を加えることもできる。

【0036】これに対してインバータの入力電圧は基本的には前段のインバータの出力電圧となるので、通常正のゲート・ソース電圧が加わることになる。このインバータの入力に抵抗を介して制御入力を接続し電源電圧を適当な値にすることによって $a-Si$ 薄膜トランジスタのゲートにソース及びドレインよりも負の電圧を加えることが可能である。

【0037】前記インバータの入力に接続した制御抵抗は、インバータの負荷抵抗の抵抗値よりも十分に大きい。ため、通常の回路動作時に前段のインバータの出力がパストランジスタを通じて次段のインバータの入力を充放電する場合には、制御入力は回路動作に関与しないことになる。一方、パストランジスタがカットオフの状態、インバータの入力が前段のインバータなどの出力と切り離されている電圧保持状態では、インバータの入力は制御抵抗を介して徐々に制御入力によって充放電される。

【0038】この充放電の時定数は、ダイナミック論理回路の動作時間よりも十分に長い。従ってインバータの入力は、ダイナミック論理動作しているときには前段のインバータの出力によって決まり、長時間のダイナミック論理動作の非動作時には制御入力によって決まる電圧となる。この制御入力は、ソース及びドレイン電圧よりも負の電圧とすることができるので回路の休止時にはインバータの駆動トランジスタのゲートにも負の電圧を加えることができる。

【0039】 $a-Si$ 薄膜トランジスタや $p-Si$ 薄膜トランジスタの閾値電圧の変動は、通常ゲート・ソース電圧が正の場合には正に、負の場合には負に変化する。そのため、ダイナミック論理回路の動作時に正に変動し

13

た閾値電圧を、ダイナミック論理回路の休止時に制御入力を用いてゲート・ソースに負の電圧を加えて負に変動させ、結果として閾値電圧の変動を低減するものである。

【0040】つぎに閾値電圧変動のあるトランジスタから成る負荷トランジスタと、この負荷トランジスタに接続した駆動トランジスタで構成したインバータ（E／Eインバータと略す）と、インバータ入力に接続したバストランジスタより成る回路を複数個接続して備えたシフトレジスタにおいて、インバータの入力及び出力に制御10 入力を抵抗を介して接続したシフトレジスタでは、先に説明したE／Rインバータと同じ作用を持つ。

【0041】異なる点は負荷の抵抗をa-Si薄膜トランジスタに変えたことと、インバータの出力にも制御入力を抵抗を介して接続したことである。回路の休止時には、先に説明したE／Rインバータを用いたダイナミック論理回路と同様にa-Si薄膜トランジスタのゲートに負の電圧を加えて閾値電圧を負に変動させ、結果として閾値電圧の変動を低減するものである。

【0042】また、回路を構成している上記トランジスタのうち、バストランジスタのゲートはクロックに接続20 されているが、回路動作時にこのゲートを一定の電圧V_Hにしておく、そのままスタティック回路として動作させることが可能である。

【0043】このようなスタティック回路は回路の休止時に電源電圧、グラウンド電圧及びその他の入力電圧を適当な値にすることによって同様に、回路を構成するa-Si薄膜トランジスタのゲートに負の電圧を印加することができるので、閾値電圧変動を回復とせることが可能である。

【0044】負荷抵抗と、この負荷抵抗と接続した閾値電圧変動のあるトランジスタで構成した駆動トランジスタとから成るインバータと、このインバータの入力に接続したバストランジスタとからなる回路が複数個連続して備えたシフトレジスタにおいて、この複数個連続した回路の奇数位置の回路のインバータと偶数位置の回路のインバータに異なる電源線を接続し、インバータにグラ30 ウンド線を接続し、バストランジスタのゲートにクロック線を接続したものである。

【0045】回路の動作時には複数の電源線に電源電圧40 を加え、グラウンド線にはグラウンド電圧を加え、回路の休止時には複数の電源線、グラウンド線に回路を構成するトランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えるようなシーケンスで電圧を加えるものである。

【0046】電源線に電源電圧を加え、グラウンド線にはグラウンド電圧を加えると、前記回路はクロック線に加えるクロック信号に同期して通常のダイナミック論理回路を構成する。例えばシフトレジスタでは入力したデータをシフトする動作を行う。

14

【0047】一方、回路の休止時にはグラウンド線、電源線、クロック線に所定の電圧を加えるシーケンスで前記各線に電圧を加えることにより、回路を構成する駆動トランジスタのゲートに負の電圧を加えるシーケンスと、バストランジスタのゲートに負の電圧を加えるシーケンスを取ることが可能である。

【0048】この時は回路の本来の動作であるデータのシフト動作をしていないため回路動作を休止している状態と定義する。この他に、電源線、グラウンド線、クロック線に電圧を加えない電源のオフ状態がある。このように回路の動作時に変動した閾値電圧を回路の休止時に電源線、グラウンド線、クロック線に所定の電圧を加えることにより、回路を構成するトランジスタのゲート・ソース電圧及びゲート・ドレイン電圧を負とし、閾値電圧の変動を回復することが可能である。

【0049】また、閾値電圧変動のあるトランジスタから成る負荷トランジスタ及び駆動トランジスタで構成したインバータと、このインバータの入力に接続したバストランジスタより成る回路を複数個連続して備えた回路において、前記インバータの負荷トランジスタのゲート及びドレインに異なる電源線を接続し、駆動トランジスタのソースにグラウンド線を接続し、回路動作時には複数の電源線に電源電圧を加えグラウンド線にはグラウンド電圧を加え、回路の動作の休止時には電源線、グラウンド線に回路を構成するトランジスタのゲート・ソース電圧及びゲート・ドレイン電圧に負の電圧を加えるようなシーケンスで電圧を加える回路の動作方法を行うことにより、回路動作時に変動した閾値電圧の変動を回路の休止時に回復させることが可能である。

【0050】また、閾値電圧変動のあるトランジスタを用いる回路において、回路の動作期間に変動したトランジスタの閾値電圧を、回路動作を休止した期間に変化した閾値電圧と逆極性のゲート・ソース電圧及びゲート・ドレイン電圧を加える。回路の動作時にはゲート・ソース電圧は正であり、閾値電圧は正に変動するが、休止時にゲート・ソース電圧及びゲート・ドレイン電圧を負とすることによって、閾値電圧を負に変動させ、結果として閾値電圧の変動を回復させるものである。

【0051】また、閾値電圧変動のあるトランジスタを用いた回路において、回路動作期間にゲート・ソース電圧に正の電圧が加わった時間に依じて、回路動作を休止した期間に変化した閾値電圧と逆極性のゲート・ソース電圧及びゲート・ドレイン電圧を加える時間を変えて閾値電圧変動を回復させる。

【0052】閾値電圧の変動は時間に依存するため正のゲート・ソース電圧の加わった時間によって、ゲート・ソース及びゲート・ドレインに負の電圧を加える時間を決めるもので、正と負の変動の時間依存性が決定すると、変動時間に依じた負の電圧を加える期間を選定することにより、閾値電圧の変動を十分小さな値にするもの50

である。

【0053】また前述の回路を備えたシフトレジスタをラインイメージセンサに用いると、ラインイメージセンサの動作時に変動した閾値電圧を、センサの動作の休止時に回復させるものである。またラインイメージセンサの多数の光電変換素子を選択して光電変換出力を外部に転送するために、閾値電圧変動のあるトランジスタから成るシフトレジスタ、バッファ、転送スイッチを用いる回路に電源電圧を所定のシーケンスで変える電源駆動回路を設けることにより、動作期間に変動したトランジスタの閾値電圧を休止時に回復させるものである。

【0054】また、ラインイメージセンサの動作時間を検出する手段及び記憶する手段により、イメージセンサの動作した時間を検出、記憶し、イメージセンサの休止時に休止信号を送ることにより、イメージセンサは休止状態となり、動作期間に変動した回路を構成するトランジスタの閾値電圧の変動を、休止時に回復させるものである。

【0055】イメージセンサの動作期間を記憶し、休止時間をその期間より適切な値を選定することにより、閾値電圧の変動を十分に小さな値とするものである。

【0056】

【実施例】まず、本発明のラインイメージセンサに用いる回路構成例とその動作例につき図1から図5を用いて説明する。

【0057】図1は、負荷抵抗とa-Si薄膜トランジスタで構成したインバータと、このインバータに接続したバストラジスタとから成る回路において、インバータの入力に抵抗を介して制御入力を入れた回路を複数個連続して備えたシフトレジスタとして、ラインイメージセンサに用いたE/Rダイナミックシフトレジスタを一実施例として挙げたものである。

【0058】このシフトレジスタは、負荷抵抗R1と駆動トランジスタD1により成るE/Rインバータと、このインバータの入力にバストラジスタP1及び制御抵抗RC1と接続したダイナミック論理回路の要素を4個接続して構成している。各要素のインバータの駆動トランジスタのソースは、グランド線VSに接続し、負荷抵抗R1の電源側は電源線VD1、VD2に交互に接続している。

【0059】また、各要素のバストラジスタのゲートは交互に、クロック線Φ1、Φ2に接続し、各制御抵抗は制御線VCに接続する。制御抵抗RCの抵抗値は、負荷抵抗Rよりも10倍以上、望ましくは100倍以上の大きな値とする。

【0060】E/Rダイナミックシフトレジスタの回路動作と入力を、図2を用いて説明する。通常の回路動作時には制御抵抗RCの抵抗値が大きいために、制御抵抗があたかも無いダイナミックシフトレジスタとして動作する。即ち、図2のaにあるように、交互に論理1とな

るクロックΦ1、Φ2をバストラジスタのゲートに入力し、VA1に図に示すようなデータを入力すると、データは順次シフトされてVA2、VA3、VA4、VA5は図に示すような動作をする。この時電源線VD1及びVD2には正の電圧VHが、またグランド線VSにはグランドの電圧VLが加わっている。

【0061】制御線VCの電圧は、VH、VLのいずれでも良い。このインバータの負荷抵抗と駆動トランジスタのオン抵抗の比は、6:1以上あることが望ましい。

図1の回路図では示していないが、MISトランジスタは固有の容量及び寄生容量を持っており、この容量への充放電によりダイナミック動作していることは言うまでもない。

【0062】前記シフトレジスタの動作時にはバストラジスタ及び駆動トランジスタのゲート・ソース電圧は常に0V以上であり、そのため閾値電圧は正に変動する。

【0063】次に、シフトレジスタの本来の回路動作を休止している時の入力を説明する。図2のbに駆動トランジスタとバストラジスタのゲート・ソース電圧を負に印加する条件を示す。駆動トランジスタのゲート・ソース電圧を負に印加するためには、図中のb-1に示すように電源線VD1、VD2及びグランド線VSを正の電圧VHとし、クロック線Φ1、Φ2及び制御線VCをVLとする。

【0064】この条件によりバストラジスタP1、P2、P3、P4のゲート・ソース電圧は0Vと成り、閾値電圧の変動は無い。一方、駆動トランジスタのゲートはVLであるのに対して、ソース・ドレインはVHであり、結果としてゲート・ソース電圧及びソース・ドレイン電圧は負となる。ただし、負の電圧とはVL-VHを意味する。

【0065】その結果、閾値電圧は負に変動し回路動作時に正に変動した閾値電圧を元に戻すことができる効果がある。本実施例によれば、回路の動作時には通常のダイナミックシフトレジスタトランジスタとして動作し、休止時には電源線、クロック線、グランド線、入力データに所定の電圧を加えることにより簡単な手順でa-Si薄膜トランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加えられる効果がある。

【0066】ここで、電源線VD1とVD2は、同じ動作であり1本にまとめることもできる。しかしながら、本実施例ではVD1とVD2を分離しているため、VD1とVD2の電圧を例えばそれぞれVLおよびVHとして、クロック線Φ1とΦ2をVHとして各段のインバータの入力を同時にリセットできる効果がある。

【0067】a-Si薄膜トランジスタで構成したインバータの構造を図3の断面図を用いて説明する。硝子などの絶縁性の基板1の上にCrやAlなどから成るゲート電極2を形成し、ホトリソグラフィーの手法を用いて

17

パタンを形成する。その上に窒化シリコンや酸化シリコンや酸化アルミニウムでゲート絶縁膜 3 を形成し、その上にイントリンシックな非晶質シリコン $i-a-Si$ 4 を形成する。

【0068】その上に、リンを多量にドーブして強い n 型となった $n(+)-a-Si$ 5 を形成し、ソース・ドレイン電極 6 を Cr や Al などの材料で形成する。これらの層構成に所定のパターニングを行うことによって、駆動トランジスタ D と負荷抵抗 R を形成することができ、駆動トランジスタ D は逆スタガ型とよばれる構造とな

っている。【0069】この他にも、順スタガ型やプレーナ型のトランジスタも層構成を変えることによって作成することができる。図 3 に示した負荷抵抗 R は $n(+)-a-Si$ 5 の層を抵抗体トランジスタとして用いたもので、この $n(+)-a-Si$ 5 の層は薄膜トランジスタ D の部分では、ソース・ドレイン電極 6 と $i-a-Si$ 4 とのオーミックコンタクトを形成する層を兼ねている。このような構造でゲート電極 2 に正のゲート・ソース電圧が加わると $i-a-Si$ 4 にチャンネルが形成されて電界効果型トランジスタの動作をする。

【0070】通常、ゲート電極 2 やソース・ドレイン電極 6 はスパッタリング法で形成し、ゲート絶縁膜 3、 $i-a-Si$ 4、 $n(+)-a-Si$ 5 はモノシランやアンモニア等のガスを原料として CVD 法等のプロセスを用いて形成する。このような方法により形成した $a-Si$ 薄膜トランジスタは、キャリアのドリフト移動度が $0.01 \sim 2.0 \text{ cm}^2/\text{Vsec}$ 、閾値電圧が $1 \sim 4 \text{ V}$ 程度の n チャンネル型のエンハンスメント型 MIS トランジスタとなる。

【0071】 $p-Si$ 薄膜トランジスタも、同様なプロセス及び構造で構成することができる。 $p-Si$ 薄膜トランジスタの場合には、図 3 の構造では $i-a-Si$ を形成した後にレーザを $i-a-Si$ 層に照射して瞬間的に溶融させて結晶化させる。レーザにはアルゴンレーザやエキシマレーザ等が使用可能であり、それぞれ波長が異なるため浸入深さが異なる。これらのレーザの照射エネルギー、照射時間、照射シーケンス及び $i-a-Si$ の厚さを適切な値とすることによって、結晶化が可能となる。この他の構造及びプロセスは図 3 で説明した構成と同一でよい。

【0072】このように形成した $p-Si$ 薄膜トランジスタは、 $i-a-Si$ を用いた薄膜トランジスタとほとんど同じプロセスが使用可能である利点がある。このトランジスタは $i-a-Si$ 薄膜トランジスタと同様、やはり閾値電圧変動の現象を持っている。また、キャリアのドリフト移動度がおよそ $10 \text{ cm}^2/\text{Vsec}$ 、閾値電圧が $0.5 \sim 3 \text{ V}$ 程度のエンハンスメント型 MIS トランジスタが得られている。

【0073】前記説明のように形成した $a-Si$ 薄膜ト

18

ランジスタのゲート・ソースに正の電圧を加えると図 4 のように時間とともに閾値電圧は正に変動する。変動の大きさは、時間のほかに電圧やプロセスにも依存する。このように長時間では閾値電圧は変動し、トランジスタの電流駆動能力は低下して来る。ついには回路動作が停止することもある。

【0074】回路の動作速度の低下から回路の動作寿命を決め、それまでに加えた正のゲート電圧と負の電圧のうち正のゲート電圧の割合と動作寿命を測定した例を図 5 に示す。正の電圧だけでなく負の電圧を加えることにより寿命は格段に伸びる。

【0075】また、絶対値が同じ大きさの電圧では負の電圧を加えたときの負の閾値電圧の変動は、正の閾値電圧の変動よりも小さいため、正の電圧を加える時間に対して約 3 倍の時間負の電圧を加えるのがよいことが検討結果として明らかと成っている。

【0076】このようにして、 $a-Si$ 薄膜トランジスタのゲート・ソース電圧に、回路の動作時には正に、回路の休止時には負の電圧を加えることによって $a-Si$ 薄膜トランジスタを用いた回路の信頼性を大幅に増すことができる効果がある。

【0077】以上に述べたように、本実施例によればラインイメージセンサを構成するシフトレジスタに用いた薄膜トランジスタの閾値電圧を回路の動作休止時に回復させることができ、信頼性の高いラインイメージセンサ及びこのラインイメージセンサを用いた画像読み取り装置が形成できる。

【0078】本発明の別の一実施例を図 6 を用いて説明する。負荷トランジスタ $L1$ と駆動トランジスタ $D1$ とにより E/E インバータを構成し、このインバータの入力にバストラジスタ $P1$ 及び制御抵抗 RC を接続し、インバータの出力にも制御抵抗 RC を取り付けている。これを回路の単位要素として多段に接続しシフトレジスタを構成している。

【0079】本実施例ではこの要素を 4 段接続している。各段の負荷トランジスタのゲートは電源線 $VD1$ に、またドレインは $VD2$ に接続している。また各段のバストラジスタのゲートはクロック $\Phi 1$ 、 $\Phi 2$ に交互に接続している。各段のインバータの駆動トランジスタのソースはグラウンド線に接続し、インバータの入力に接続した制御抵抗は制御線 $VC1$ に、インバータの出力に接続した制御抵抗は制御線 $VC2$ に接続する。

【0080】本実施例で電源線 $VD1$ 、 $VD2$ を正の電圧 VH に、グラウンド線 VS をグラウンド電圧 VL として、 $VA1$ に入力データに対応した電圧を加え、クロック線 $\Phi 1$ と $\Phi 2$ にクロック信号を図のように加えると、先に説明した図 1 で示した E/R インバータの実施例の動作と同じくデータをシフトする動作をする。動作は同じなので省略する。

【0081】本実施例においても、負荷トランジスタ L

19

1と駆動トランジスタD1のオン抵抗の比は6:1以上とり、また制御抵抗RCは負荷トランジスタのオン抵抗よりも10倍以上、望ましくは100倍以上大きな値とする。制御抵抗の値が大きいためシフトレジスタは通常のダイナミック動作時には制御線VC1、VC2の電圧にかかわらず、データのシフト動作を行う。また逆に、ダイナミック動作に影響がほとんど無い範囲で制御抵抗の値を決めることになる。

【0082】それ故、動作速度の遅い回路では制御抵抗の抵抗値はより大きくする必要があり、動作速度の早い回路では制御抵抗はより小さな抵抗値でよいことになる。いずれの場合も、インバータのゲートにある容量に充電したデータが、ダイナミック動作の保持時間内に放電しないことが必要条件となる。この点は先のE/Rインバータの実施例も同様である。

【0083】つぎに本実施例のE/Rインバータがデータ転送動作を休止したときのa-Si薄膜トランジスタのゲート電圧負印加時の動作について説明する。本実施例のE/Rインバータを構成するa-Si薄膜トランジスタは動作時にはすべて正のゲート・ソース電圧が加わるために、その閾値電圧は動作時間とともに変動して来る。

【0084】このまま、負印加の動作をしなければ長時間では回路が動作しなくなる。そのため、本実施例では電源線VD1、VD2、クロック線Φ1、Φ2、グランド線VS、制御線VC1、VC2、入力VA1に適切な電圧を加えることによって、トランジスタのゲートに負の電圧を加え、これによって、閾値電圧の変動を正、負キャンセルして長時間の動作信頼性を確保する。

【0085】駆動トランジスタ及び負荷トランジスタのゲート・ソース電圧を負に印加する条件として、VD1、Φ1、Φ2、VC1をVLとし、VD2、VC2、VSをVHとする。また、バストラジスタのゲート・ソース電圧を負に印加する条件としてはVC1、VC2、VSをVHとし、Φ1、Φ2をVLとする。このように、2つの負印加条件を用いる理由はすべてのトランジスタのゲート・ソースには同時に負の電圧を加えられないからである。図中に記した条件を用いると、ゲート・ソース電圧は負となり回路動作時に正に変化した閾値電圧の変動をキャンセルできる効果がある。

【0086】尚、制御抵抗RCの抵抗値はダイナミック動作への影響を小さくするためには大きい値の方が良いが、トランジスタにはリーク抵抗があるためにその抵抗値よりも1桁以上小さな抵抗値を用いる必要がある。本実施例によればE/Rダイナミックシフトレジスタの動作時に正に変動した閾値電圧を、休止時に負に変動させてキャンセルし、長時間の動作が可能となる効果がある。

【0087】E/Rインバータを用いたシフトレジスタは負荷が抵抗であるために高速の充電が可能であり、そ

20

のため高速の回路動作が可能となるが、一方プロセスのバラツキによる抵抗値のバラツキの影響を受けやすい傾向がある。これに対してE/Rインバータはチャネル幅とチャネル長のパタン形状のみでインバータの比を決定できるため、プロセスのバラツキを吸収できる効果がある。

【0088】また、データによって各a-Si薄膜トランジスタに加わる正のゲート・ソース電圧の印加時間は異なるため、負印加の時間もそれに対応して制御する必要がある。

【0089】尚、本実施例では、インバータの電源線はVD1を除くとVD2のみであり、E/Rインバータの例(図1)のように2本設けることによって、同様にシフトレジスタを一度にリセットできるようにすることができる。

【0090】以上に述べたように、本実施例によればラインイメージセンサを構成するシフトレジスタに用いた薄膜トランジスタの閾値電圧を回路の動作休止時に回復させることができ、信頼性の高いラインイメージセンサ及びこのラインイメージセンサを用いた画像読み取り装置が形成できる。

【0091】別の一実施例を図7を用いて説明する。これはE/Rシフトレジスタであり、負荷抵抗R1及び駆動トランジスタD1によってE/Rインバータを構成し、このインバータの入力にデータの入力を制御するバストラジスタP1を接続している。このシフトレジスタはこの要素を4段接続したもので、各段のバストラジスタのゲートはクロックΦ1とΦ2に交互に接続されている。

【0092】各要素のインバータの電源は電源線VD1及びVD2に交互に接続しており、駆動トランジスタのソースはグランド線に接続されている。これによりダイナミックE/Rシフトレジスタを構成している。

【0093】E/Rシフトレジスタの回路動作及び回路休止時のゲート・ソース負印加のシーケンスを図8に示す。シフトレジスタの動作時には電源線VD1、VD2には正の電源電圧VHを加え、グランド線VSはグランド電圧VLを印加する。そうすると、クロックΦ1、Φ2及びデータ入力に対してデータを図のようにシフトする。

【0094】シフトレジスタの休止時に電源線VD1、VD2、クロック線Φ1、Φ2及びグランド線に適切なタイミングで電圧を加えるとシフトレジスタを構成する駆動トランジスタ及びバストラジスタのゲート・ソースに負の電圧を印加することができる。

【0095】図8のb-1に薄膜トランジスタのゲート・ソースに負の電圧を加えるシーケンスを示している。まずバストラジスタP1、負荷抵抗R1及び駆動トランジスタD1で構成する要素で説明する。クロックΦ1を短時間だけVHとし同時にVA1をVLとすることに

21

より、駆動トランジスタD1のゲート電圧VB1をVLの電圧とする。つぎにクロックΦ1をVHとしてパストランジスタをカットオフし、VB1の回路節点の容量にVLの電圧を保持させる。

【0096】この時に電源線VD2及びグランド線VSは共にVHの電圧となっているため駆動トランジスタD1のゲート・ソース電圧にはVL-VHの電圧、つまり負の電圧を加えることができる。3番目の要素を構成する駆動トランジスタD3も同じ接続構成なので同様に負にゲート・ソース電圧が加わる。

【0097】同様に2及び4番目の要素は、クロックΦ2と電源VD2を同期させて駆動トランジスタのゲートの電圧をVLとし、その後ソース・ドレイン電圧をVHの状態とすることによって負のゲート・ソース電圧を加えることができる。

【0098】駆動トランジスタのゲートを電圧VLとするための時間t1は、駆動トランジスタのゲートにある容量をCとし、負荷抵抗RとパストランジスタPの合成抵抗をRTとするとそれらの積を時定数とする値となる。

【0099】また、ゲート・ソース電圧が負となる時間t2は、容量Cとリーク抵抗の値RLの積を時定数とする時間となる。それぞれ実際の値は、前者が10μs～100μsであるのに対して後者は10ms～100msであり十分負の電圧を加えることができる。

【0100】なお、シフトレジスタの奇数の要素と偶数の要素の駆動トランジスタのゲートをVLとするタイミングをずらしているのは、寄生容量を通じての電圧変動により発生する駆動トランジスタのゲート電圧の変動が成るべく小さくなるように配慮しているためである。即ち、1番目の要素を用いて説明すると、駆動トランジスタD1のドレインは電源線V2に接続しており、VB1の電圧をVLとした後、VD2の電圧がVLからVHに変わるときに、ゲートとドレインの容量を通じて電圧の容量分割が発生してVB1の電圧が上昇する現象を防止するためである。

【0101】一方、パストランジスタP1からP4のゲート・ソース電圧を負に印加するためには、図8のb-2に示すように短時間クロックΦ1、Φ2をVHとしてパストランジスタを導通状態としてVB1からVB4の電圧をVH（厳密には閾値電圧だけ低い電圧となる）とし、その後クロックΦ1、Φ2を電圧VLとする。

【0102】この時、電源線VD1、VD2及びグランド線VSの電圧はVHとしており、そのためパストランジスタのソース・ドレイン及びドレインはVHの電圧となっている。このようにパストランジスタのゲート・ソース電圧を負とすることができ、長期間の回路の信頼性を確保できる効果がある。

【0103】各トランジスタのゲートには回路の動作時に異なった期間正のゲート電圧が加わるため、負印加の

22

時間もそれに対応して変える必要がある。本実施例では、シーケンスは先の図1、図6の実施例と比較して複雑であるが特に回路素子を増やすことなく、回路の休止時に負のゲート電圧を加えることができる効果がある。

【0104】以上に述べたようなシフトレジスタの回路構成及び回路の動作方法を用いることにより、前述の実施例同様、薄膜トランジスタの閾値電圧のドリフトを回復でき、信頼性の高いラインイメージセンサ及びこのラインイメージセンサを用いた画像読み取り装置が形成できる。

【0105】図9にE/Eインバータを用いたシフトレジスタ回路の一実施例を示す。この回路は、先に図6で示した実施例とは制御抵抗RC及び制御線VC1、VC2を無くしたもので標準のE/Eシフトレジスタとなっている。

【0106】ダイナミック動作時には図10のaに示すような回路動作を行うが、図6で示した実施例の回路と同じ動作であるので説明は省略する。回路動作時には回路を構成するトランジスタのゲートに正の電圧が加わるため、トランジスタの閾値電圧は正に変動する。この閾値電圧の変動を回復させるには、トランジスタのゲート・ソース及びゲート・ドレインに負の電圧を加える必要がある。

【0107】駆動トランジスタD1～D4及び負荷トランジスタL1～L4のゲート・ソース電圧を負とするには、図10のbのシーケンスを用いる。クロックΦ1及びΦ2を短時間VHの電圧としてパストランジスタを導通状態とし、同時に電源線VD1の電圧をVHとして負荷トランジスタを導通状態とし、さらに電源線VD2をVLの電圧とすることによって駆動トランジスタのゲートVB1～VB4の節点の電圧をVLとする。

【0108】つぎにクロック線Φ1とΦ2をVLとしてパストランジスタを非導通状態としてVB1～VB4の電位を保持し更に、次の電源線VD2をVHとしてVA2～VA5の節点の電圧をVHとする。つぎにVD1をVLとすることによって駆動トランジスタ及び負荷トランジスタのゲート・ソース電圧を負とすることができる。

【0109】また、パストランジスタ及び負荷トランジスタのゲート・ソース電圧を負にするシーケンスは図10のcに示している。クロック線Φ1とΦ2を短時間だけVHとして、パストランジスタを導通状態として、同時に電源線VD1を短時間VHとして駆動トランジスタを導通状態とする。この時、電源線VD2、入力VA1、グランド線VSは電圧VH一定としているので駆動トランジスタのゲートのVB1～VB4はVHに充電される。

【0110】つぎに、クロック線Φ1、Φ2をVLとしてパストランジスタを非導通状態とし、その後VD1をVLとして負荷トランジスタを非導通状態とする。この

23

結果バストランジスタのソース及びドレインは概略VHの電圧となりゲートはVLとなるのでゲート・ソース電圧は負となる。この時、駆動トランジスタ及び負荷トランジスタはゲート、ソース、ドレインともにVHとなっており、閾値電圧の変動はない。

【0111】このように図7及び図9で説明した実施例のゲート電圧負印加のシーケンスはトランジスタが非導通状態となったときに電源線と切り離されて容量に電圧が保持される点を利用しており、トランジスタのゲート・ソース電圧が負となるように予め所定の配線容量やトランジスタの容量等で構成される回路節点の容量に充電しておくものである。

【0112】本実施例によれば、回路の動作中にはダイナミックシフトレジスタとして動作し、回路の休止時にはゲート・ソース電圧を負とすることができるため、閾値電圧の変動をキャンセルして、長時間回路の動作を可能とする効果がある。

【0113】本発明の別の一実施例を図1、図6、図7、図9を用いて説明する。ラインイメージセンサの駆動回路を作成しようとしたときにはダイナミック回路だけではなくスタティック回路も必要である。ダイナミック回路はデータの転送をバストランジスタの切替によって容易に達成できる一方、バストランジスタのオン、オフに伴って容量の充放電が行われてノイズとなる欠点がある。

【0114】これに対してスタティック回路は波形を整形し、又電流の駆動能力を拡大するバッファ回路に欠かせない。しかしながら、スタティック回路はインバータと次段のインバータが直接接続されて、入力が決まると出力が決まる回路となっているため、回路の休止時にa-Si薄膜トランジスタのゲートに負の電圧を加えることは困難であった。

【0115】本実施例は図1、図6、図7、図9の回路をそのままスタティック回路として使用するものである。回路の動作時には図中のクロック線Φ1、Φ2にVHの電圧を加えて常に導通状態としインバータの出力が次段のインバータに直接回路的に接続するようにする。

【0116】また、回路の休止時には既に図1、図6、図7、図9で説明したシーケンスを用いてトランジスタのゲートに負の電圧を加えることができる。本実施例によれば休止時にゲート電圧を負とし、閾値電圧の駆動をキャンセルすることにより、長時間の回路動作が可能となるスタティック回路を提供できる効果がある。

【0117】また、ダイナミック回路とスタティック回路が同様な構成のため、これらの共存した回路においても休止時のゲート電圧負印加シーケンスが複雑とならない効果がある。

【0118】図11により本発明の別の一実施例を説明する。図11は前述した各実施例の回路を組み込むラインイメージセンサのブロック図である。イメージセンサ

24

基板10に非晶質シリコン薄膜トランジスタより形成したシフトレジスタ11、バッファ12、転送スイッチ14、非晶質シリコンから成る光電変換素子13、信号マトリクス15を形成している。

【0119】イメージセンサ基板10の外には電源駆動回路20、タイミングコントロール回路21及び信号の検出回路22を持っており、外部端子30より電源や動作基準となるスタート信号SPとクロックCLKと動作及び休止を指定する信号MODEを入力し、読取信号VIDEOを出力する構成となっている。

【0120】読取モードのときにはシフトレジスタ11をリセットした後、シフトレジスタ11の1段目のS/R1よりS/Rnまで順次ブロック選択信号をシフトする。この信号はバッファ12を介して波形を整形し、且つ電流駆動能力を増して転送スイッチ14を1ブロックずつ順次選択して行く。

【0121】ブロックB1が選択されると接続されたブロックの転送スイッチが導通状態となり、光電変換素子14で光電変換した電荷を信号マトリクス15に転送する。信号マトリクス15に転送された光電変換信号は検出回路22によって増幅及びパラレル・シリアル変換され読取信号VIDEOとして外部に出力される。

【0122】このような動作は外部端子30より入力されるスタート信号SP、基準タイミングであるクロック信号CLK、動作又は非動作指定のMODE信号を元にしてタイミングコントロール21で制御信号を生成し、検出回路及び電源駆動回路を所定のタイミングで動作させることによって行う。

【0123】一方、外部からMODEにより休止が指定されると、イメージセンサは休止モードとなりシフトレジスタ11、バッファ12及び転送スイッチを構成するa-Si薄膜トランジスタのゲートに負の電圧が加わるようなシーケンスを取る。シフトレジスタ11及びバッファ12は先に説明した図1、図6、図7、図9のいずれかの回路を用いる。図1、図6、図7、図9はダイナミックシフトレジスタ又はバッファをそのまま構成できるが、NOR論理回路も容易に作ることができるので回路上の自由度がある。

【0124】図11に示した本実施例の回路は、通常ガラス基板上にa-Siやp-Si等の薄膜を積層して形成し、ベースに光源とともに組み立てて原稿の読み取りに用いる。本実施例の断面図の一例を図12に示す。

【0125】透明なガラス基板1の上にゲート電極2を形成しゲート絶縁膜3、i-a-Si4、n(+)-a-Si5、電極6、パッシベーション膜7及び遮光膜を兼ねた電極8を順次積層とパターンニングにより形成する。これにより基準素子102a、読み取り素子102b、信号容量105及び薄膜トランジスタ103のような機能素子が形成される。

【0126】前記ガラス基板をLED光源101と共に

25

ベース106に搭載し、更に梨地導電フィルム104を装着して原稿読み取りに用いる。原稿500をプラテンローラ401により、センサに押しつけて読み取りを行う。ここで梨地導電フィルムとは、弾性変形が可能な透明フィルムで、面積抵抗が $100\text{K}\Omega/\square$ 以下の導電性があり、センサ面と接触する側の面が凹凸形状をしており、光が散乱される面となっているフィルムをいう。

【0127】また、梨地導電フィルムの梨地面は読み取りセンサ基板側となるようにフィルムを装着するが、これは、基板背面より原稿を照明する光源からの光が、フィルム表面の梨地面で散乱されるので、原稿を押しつけて密着した状態でのフィルム変形で、凹面鏡形状となったときに、反射による集光で読み取り出力が異常となることを防止することが可能となる。

【0128】すなわち、基板上に導電性透明フィルムを装着することにより、読み取り性能の安定した、作成が容易なイメージセンサを得ることが可能となる。導電性透明フィルムは荷重が加わると簡単に弾性変形するので破損しにくい。また、導電性透明フィルムは電波及び静電気誘導に対してシールドとなるので、イメージセンサの出力信号のノイズを防止する効果がある。

【0129】また、原稿面と光電変換とのスペーサとなるため、照明の光を確保するスペーサとして、又耐摩耗性の保護フィルムとしても働く。これらの効果のため、このフィルムを適用したイメージセンサは組立て性が良く、安定な読み取りを可能とする効果がある。

【0130】原稿の読み取りに読み取り素子102bと基準素子102aの2個を一組として用いる。回路上はこれらの光電変換素子を図11に示すように抵抗の回路で表現しているが、実際にはa-Siよりなるホトコンダクタであり、入射する光量に応じて抵抗が変化する。この2つの素子の動作は次のとおりである。

【0131】読み取り素子102bは、遮光膜2aにより、光源101の光は直接受光しないように形成されており、光源101が原稿500を照らした反射光を受光して光電変換する。また、この時、基準素子102aの上には遮光膜8を形成してあり、原稿500からの反射光は入射しない。読み取り素子102bの光電変換出力は、原稿500の照度及び反射率に比例する。

【0132】また、基準素子102aの光電変換出力は光源101の放射強度に比例するので、読み取り素子102bの光電変換出力を用いて補正すれば原稿の照度むら、即ち、光源の放射強度のむらに依存せず、原稿の反射率にのみ依存した出力を取り出すことができる。本実施例では、読み取り素子102bに基準素子102aを直列に接続しており、読み取り素子102bと基準素子102aの接続点Aに読み取り出力信号が電圧として出てくる構成となっている。

【0133】さらに、信号容量105は、読み取り素子102bと並列に形成してあり、接続点Aの電圧 V_{sig}

26

と読み出し容量の静電容量 C_{sig} で決まる信号電荷 $Q_{sig} = C_{sig} \times V_{sig}$ を蓄える。読み取り周期ごとに転送スイッチ14を導通状態として信号線に電荷を転送して読み出しを行う。

【0134】本実施例によれば回路の動作期間中に正に変動したa-Si薄膜トランジスタの閾値電圧は、回路の休止期間中にゲート・ソース電圧を負とするシーケンスを行うことにより、閾値電圧の変動をキャンセルできるため、長期間の回路動作の信頼性を確保できる効果がある。

【0135】また、シフトレジスタ及びバッファ等の駆動回路をイメージセンサ基板上に形成できるため、配線数を少なくして小型のセンサを構成できる効果がある。

【0136】また、本実施例のラインイメージセンサは原稿と密着して読み取りを行うため非常に小さな読み取り系を構成することができる。

【0137】また、本実施例によれば読み取り素子と基準素子の比によって決まる出力電圧が得られるために光源のパラツキによらない安定な読み取りが可能となる効果がある。

【0138】また、本実施例によれば梨地導電フィルムにより静電気ノイズを防止し、異常な光学反射を防止できるので安定な読み取りが可能となる効果がある。

【0139】本発明の別の一実施例を図13を用いて説明する。図13は本発明のラインイメージセンサを組み込んだ画像読み取り装置の1つであるファクシミリ装置のブロック図でありラインイメージセンサ100、記録ヘッド300、機構系400を制御・電源回路200により制御及び電源の供給を行う構成を示している。制御・電源回路200はCPU202、ROM208、RAM209、MODEM210、NCU211、センサ制御・検出回路203、記録制御回路204、機構制御回路205、入・出力インターフェイス206、電源207、及びクロック201から構成されている。

【0140】クロック201はCPU202をはじめ制御・電源回路200の動作タイミングを決める。CPU202はクロック201のクロック信号に同期してROM208に用意したソフトウェアに従ってファクシミリ装置の動作を制御する。

【0141】RAM209は画像データや制御データの一時記憶用メモリであり、又ソフトウェアから見るとワークエリアになる。

【0142】MODEM210は外部回路からの音声帯域の信号をデジタル信号に、又デジタル信号を音声帯域の信号に変えて回線に送るものである。また、NCU211は外部回線との接続を制御するものである。

【0143】センサ制御・検出回路203はラインイメージセンサ100を駆動するクロック、スタート信号、動作あるいは休止を指定するモード信号等を出力し、センサからの読み取りアナログ信号を検出し、目的に合わ

27

せて多値化したデジタルデータとする。

【0144】記録制御回路204は、感熱記録ヘッド等の記録ヘッド300に記録データを転送し記録制御するものである。機構制御回路205は、記録紙や読み取り原稿をモータで搬送及び、紙の異常送り検出や、原稿の検知等を行って、機構系400を制御するものである。

【0145】また、入・出力インターフェイス206は電話番号の入力や原稿濃度の指定などの入力及びファクシミリの状態を表示する、操作する人とのインターフェイスである。

【0146】また、電源回路207は、制御・電源回路200の各回路ブロック及びラインイメージセンサ100、記録ヘッド300、機構系400に電源電力を供給するものである。またこの制御電源回路200は、省電力のためにイメージセンサ100、記録ヘッド300、機構系400を使用していないときにはリレー等でその部分の電源を切断する機能を持つ。

【0147】原稿のコピー或はファクシミリ電送のときには、ラインイメージセンサは電源及び制御信号を供給されて、原稿読み取り動作を行う。ラインイメージセンサが既に説明したように、閾値電圧変動のあるトランジスタを用いていると、この動作期間にトランジスタの閾値電圧は正に変動する。動作時には例えば図11に示すMODE信号は動作モードを指定し、ラインイメージセンサは動作モードとなる。

【0148】この動作時間は、CPU202によりクロック信号をもとにして検出され、記憶手段であるRAM209に記憶される。読み取りが終わり、ラインイメージセンサの動作が不用になると、CPU202は休止モードを指定し、ラインイメージセンサは休止モードとなる。

【0149】休止モードではラインイメージセンサの駆動回路を構成するトランジスタのゲート・ソース電圧及びゲート・ドレイン電圧を負とし、変動した閾値電圧を回復させる。この休止時間は動作時間に対応して変化させ、閾値電圧変動を抑える必要がある。

【0150】本実施例においては、RAMに記憶した動作時間をもとにして適切な休止時間を決めてセンサに動作の休止信号を送り、休止時間が終了すると電源回路207に電源オフを指定してラインイメージセンサの電源をオフにする。このように、ファクシミリ装置においてセンサの動作時間に対する休止時間を適切な値とすることによって、トランジスタの閾値電圧変動を回復させ、長時間の動作が可能となる効果がある。

【0151】ラインイメージセンサをファクシミリ装置に搭載したときの断面模式図を図14に示す。筐体404内にラインイメージセンサ100をバネ支持でプラテンローラ401に押しつけて読み取り系を構成し、感熱記録ヘッド400をバネ支持によってプラテンローラ402に押しつける。その他、記録紙403、制御・電源

28

回路200を組み込んでいる。

【0152】原稿読み取り時は原稿500をラインイメージセンサに読み込ませ、又記録時には記録紙403に記録ヘッド400を用いて記録する。紙搬送はプラテンローラ401、402を例えばパルスモータを用いて回転させて行う。このように、小型のセンサを搭載することによってファクシミリ装置の小型化が図れ、更に設計自由度が大きくなる効果がある。

【0153】なお、本実施例ではラインイメージセンサを用いた画像読み取り装置としてファクシミリ装置を取り上げて説明したが、ラインイメージセンサは複写機、イメージスキャナ等への適用も同様に行える。

【0154】

【発明の効果】本発明によれば、電源線とグランド線とクロック線と制御線を所定の電圧とすることによりシフトレジスタを構成するダイナミック回路或はスタティック回路が動作時には所定の機能を果たし、回路の休止時には回路を構成するa-Si薄膜トランジスタ又はp-Si薄膜トランジスタのような閾値電圧変動のあるトランジスタのゲート・ソース電圧及びゲート・ドレイン電圧を負に印加できる。

【0155】従って、回路動作中に正に変動したトランジスタの閾値電圧を元の値に回復させて長期間の回路動作を可能とするシフトレジスタ、このシフトレジスタを用いたラインイメージセンサ、及びこのラインイメージセンサを用いた画像読み取り装置を形成できる。

【0156】本発明によれば、閾値電圧変動のある薄膜トランジスタを駆動回路に用いたラインイメージセンサにおいて回路動作期間の生ずるトランジスタの閾値電圧の変動を、回路の休止期間に回復させることができる為長期間の回路動作を可能にできる効果がある。さらに、a-Si薄膜トランジスタの駆動回路をイメージセンサ基板上に形成できるため、配線数を少なくすることが可能となり、小型のラインイメージセンサを提供できる効果がある。

【0157】本発明によれば、ファクシミリ装置、複写機、イメージスキャナ等の画像読み取り装置においてイメージセンサの動作期間を検出、記憶し原稿読み出し時に変動したイメージセンサの駆動回路を構成するトランジスタの閾値電圧を、動作時間に対応した休止信号をイメージセンサに送ることによりセンサ休止時に回復動作させ、閾値電圧を回復させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のE/Rダイナミックシフトレジスタの回路図である。

【図2】図2の回路の動作を説明するシーケンス図である。

【図3】非晶質薄膜トランジスタで構成したインバータの断面図である。

【図4】非晶質シリコン薄膜トランジスタの閾値電圧の

29

変動の様子を示す図である。

【図 5】回路の寿命を表す図である。

【図 6】別の一実施例の E/R ダイナミックシフトレジスタの回路図である。

【図 7】別の一実施例の E/R ダイナミックシフトレジスタの回路図である。

【図 8】図 7 の実施例の回路動作を示す図である。

【図 9】別の一実施例の E/E ダイナミックシフトレジスタの回路図である。

【図 10】図 9 の実施例の回路動作を示す図である。

【図 11】別の一実施例のラインイメージセンサの回路ブロック図である。

【図 12】イメージセンサ及び原稿読み取りの断面模式図である。

10

*

30

* 【図 13】ファクシミリ装置のブロック図である。

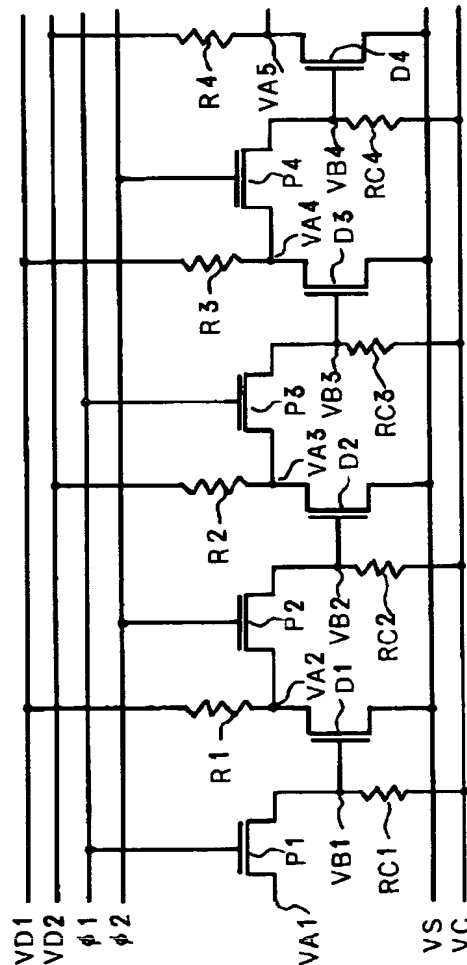
【図 14】ファクシミリ装置の断面模式図である。

【符号の説明】

VD1, VD2…電源線、Φ1, Φ2…クロック線、VS…グランド線、R1~R4…負荷抵抗、D1~D4…駆動トランジスタ、P1~P4…パストランジスタ、VC…制御線、RC1~RC4…制御抵抗、10…ラインイメージセンサ基板、11…シフトレジスタ、12…バッファ、20…電源駆動回路、100…ラインイメージセンサ、103…薄膜トランジスタ、201…クロック、202…CPU、203…センサ制御・検出回路、209…RAM、400…記録ヘッド、401…プラテンローラ、500…原稿。

【図 1】

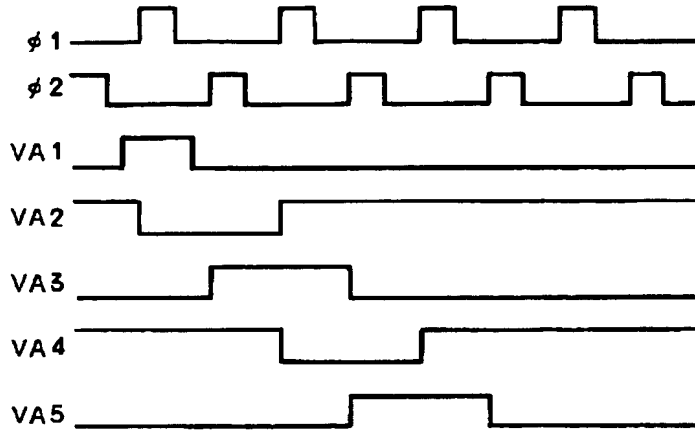
E/R ダイナミックシフトレジスタ
の回路図 (図 1)



【図2】

E/Rダイナミックシフトレジスタの回路動作及び負印加時の電圧印加条件(図2)

a. シフトレジスタ動作時



VD1, VD2 ... VH, VS ... VL, VC ... don't care

b. シフトレジスタ休止時

b-1 駆動トランジスタ負印加条件

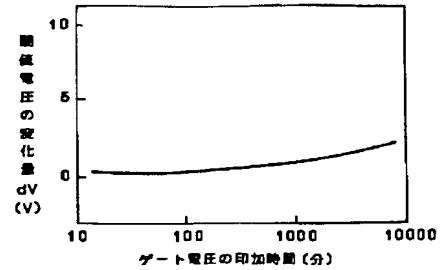
VD1, VD2, VS ... VH
ϕ1, ϕ2, VC ... VL

b-2 バストランジスタ負印加条件

VD1, VD2, VC, VS ... VH
ϕ1, ϕ2 ... VL

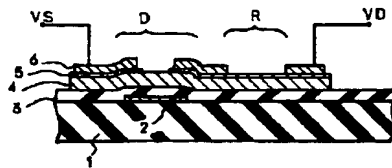
【図4】

非晶質シリコン薄膜トランジスタの正のゲート電圧を加えた時の閾値電圧変化量(図4)



【図3】

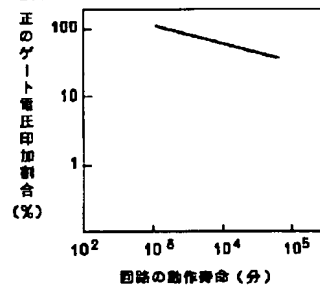
非晶質シリコントランジスタで形成したインバータの断面図(図3)



- 1 ... 基板
- 2 ... ゲート電極
- 3 ... ゲート絶縁膜
- 4 ... i-a-Si
- 5 ... n⁺-a-Si
- 6 ... ソース・ドレイン電極

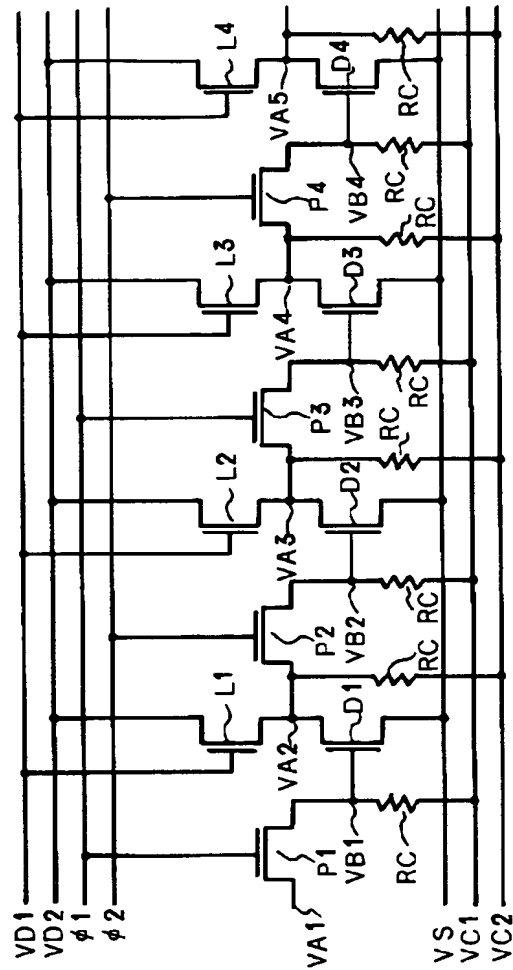
【図5】

正のゲート電圧と負のゲート電圧の割合による回路の動作寿命(図5)



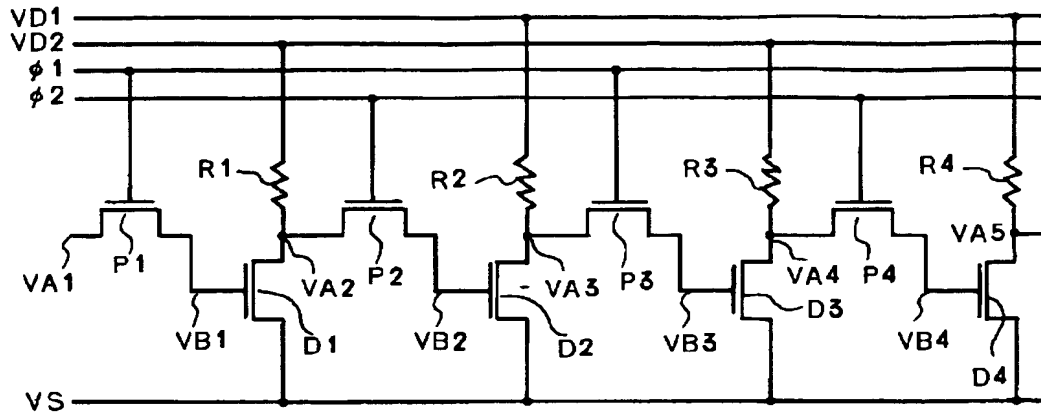
【図6】

EノEダイナミックシフトレジスタの回路図（図6）



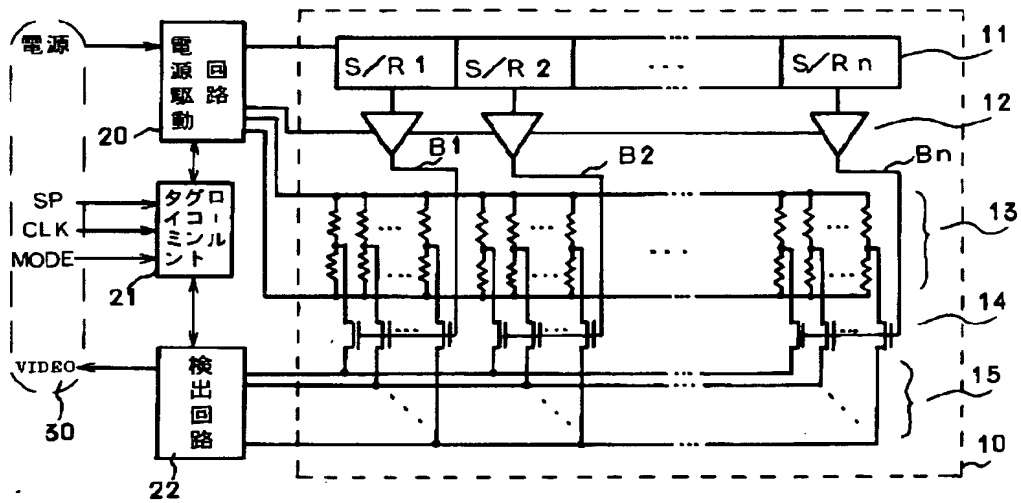
【図7】

E/Rダイナミックシフトレジスタの回路図（図7）



【図11】

イメージセンサの回路ブロック図（図11）



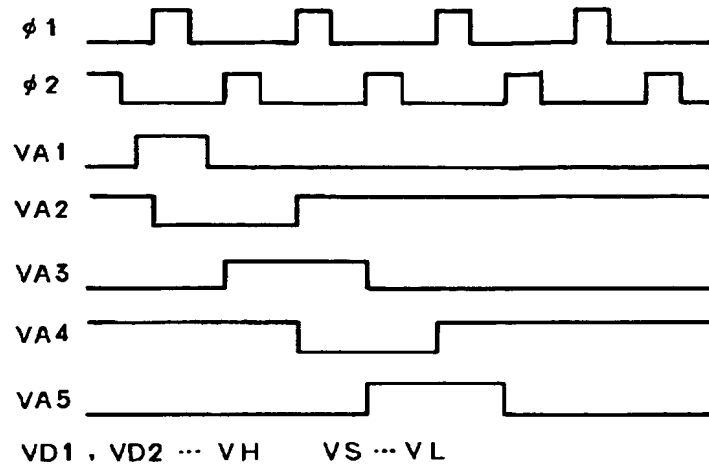
10 … イメージセンサ基板
 11 … シフトレジスタ
 12 … バッファ
 13 … 光電変換素子
 14 … 転送スイッチ

15 … 信号マトリクス
 20 … 電源駆動回路
 21 … タイミングコントロール
 22 … 検出回路
 30 … 外部端子

【図 8】

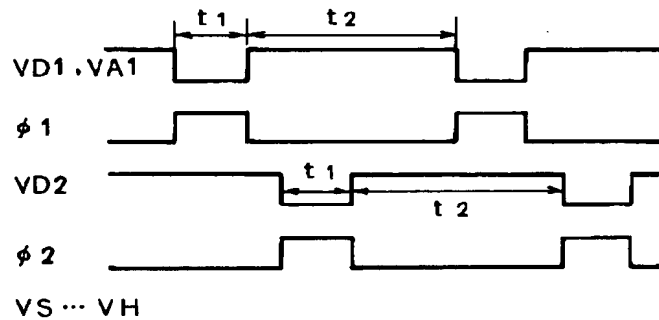
E/R ダイナミックシフトレジスタの回路動作と入力（図 8）

a. シフトレジスタ動作時

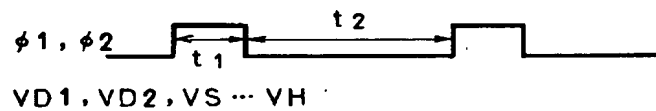


b. シフトレジスタ休止時

b-1 駆動トランジスタ負印加シーケンス

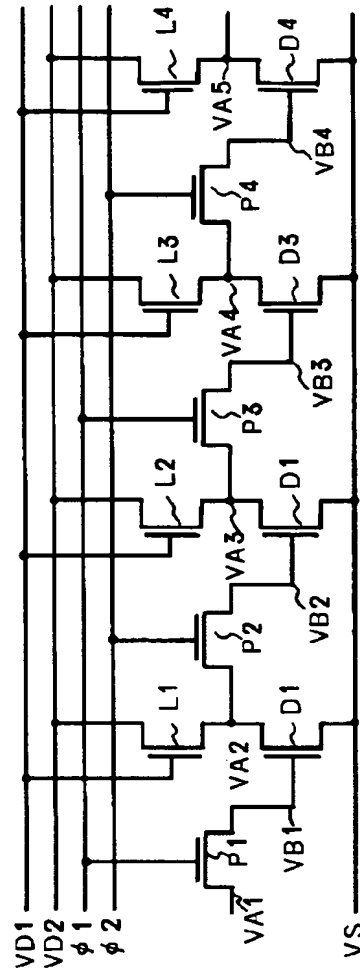


b-2 バストランジスタ負印加シーケンス



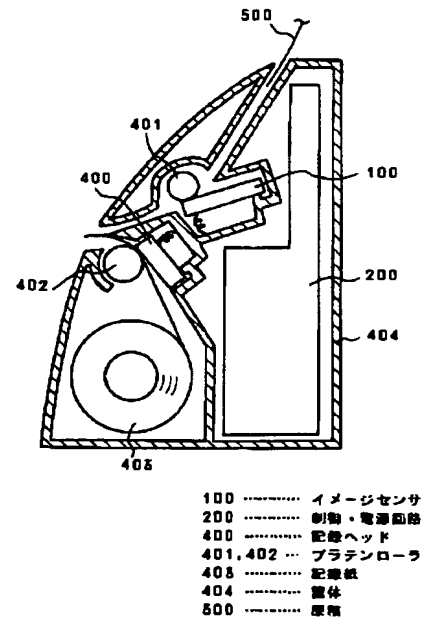
【図9】

E/Eダイナミックシフトレ
ジスタの回路図(図9)



【図14】

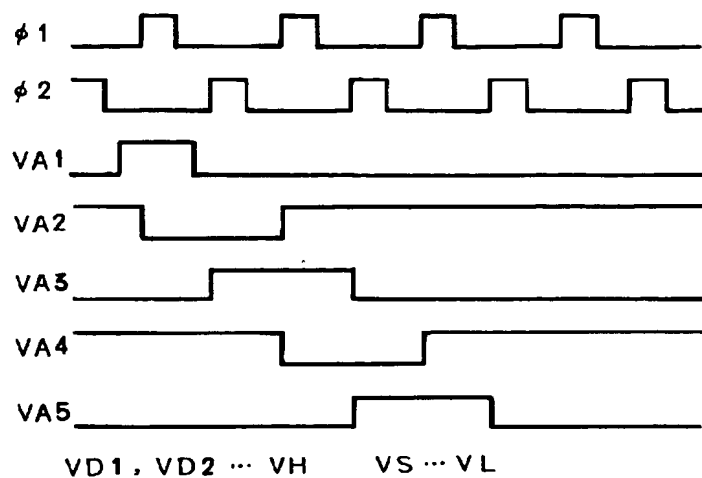
ファクシミリ装置の断面模式図(図14)



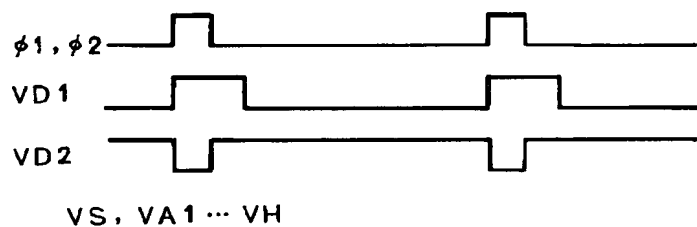
【図10】

EノEダイナミックシフトレジスタの回路動作（図10）

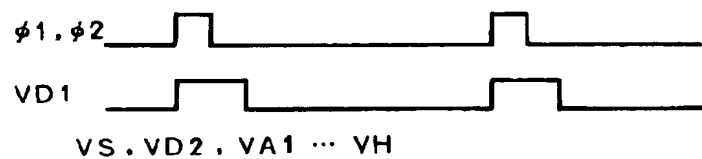
a. シフトレジスタ動作時



b. 駆動トランジスタ、負荷トランジスタ負印加シーケンス

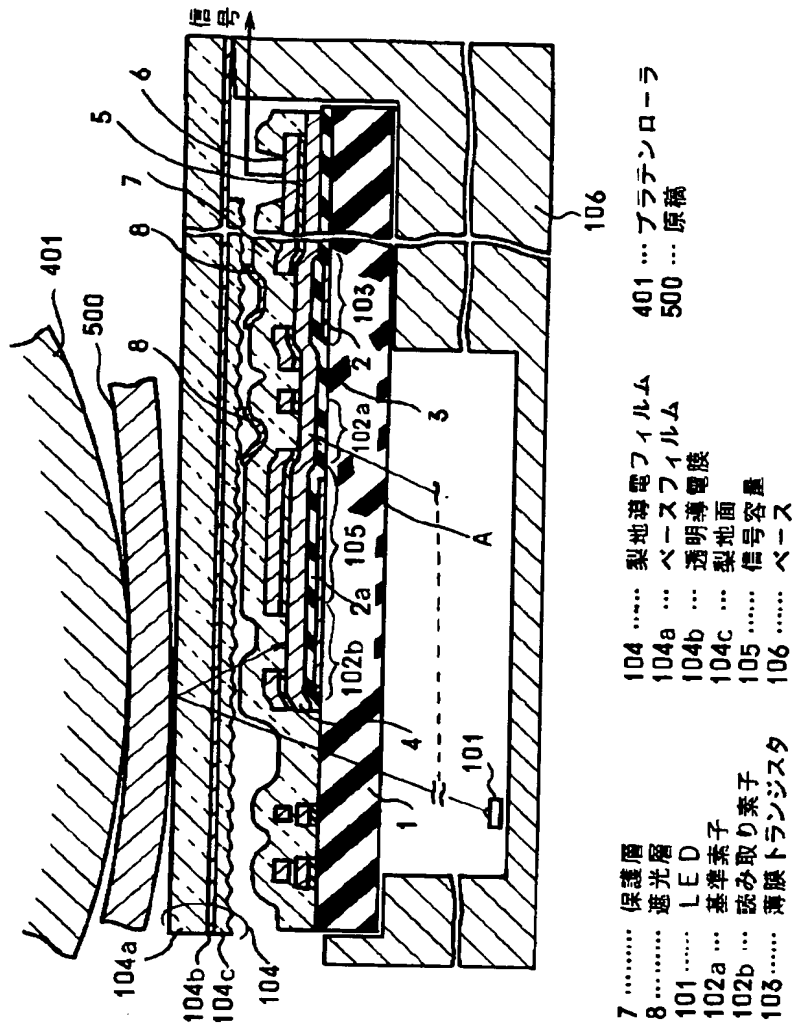


c. バストランジスタ負印加シーケンス



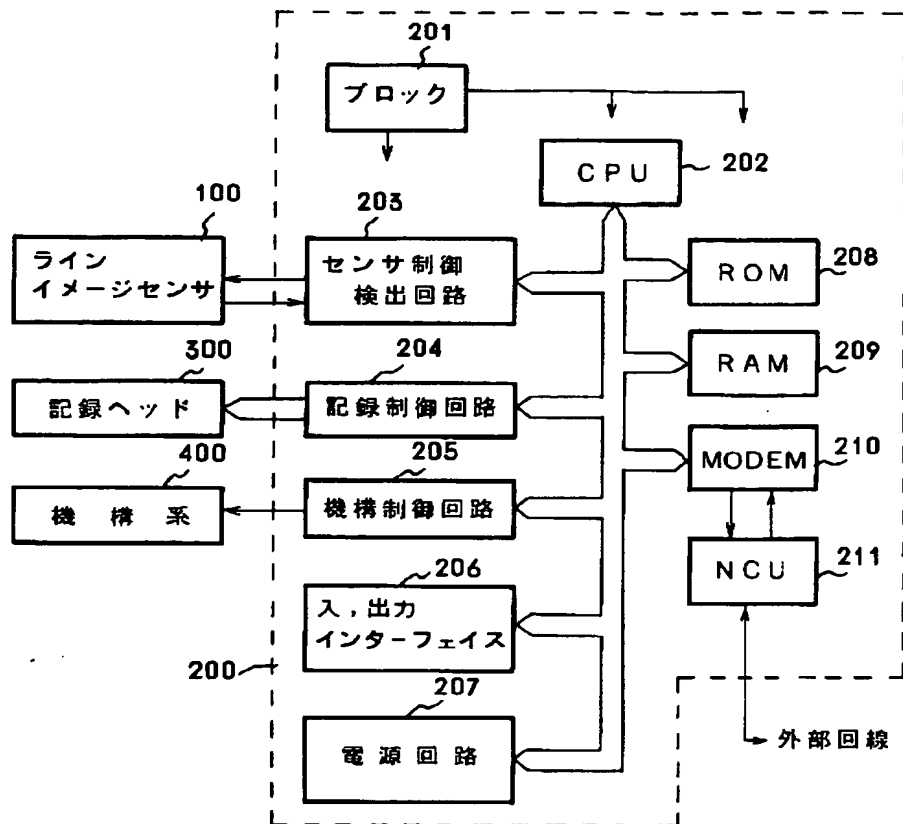
【図 12】

イメージセンサ及び原稿読み取りの断面
模式図（図 12）



【図13】

ファクシミリ装置のブロック図(図13)



- 200 … 制御・電源回路
 202 … CPU (Central Processor Unit)
 208 … ROM (Read Only Memory)
 209 … RAM (Random Access Memory)
 210 … MODEM (Modulation/Demodulation Unit)
 211 … NCU (Network Control Unit)

フロントページの続き

(51) Int. Cl. 5
H04N 1/04

識別記号 庁内整理番号
103 E 7251-5C

F I

技術表示箇所